

1/39/1

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat
(c) 2003 EPO. All rts. reserv.

11368714

Basic Patent (No,Kind,Date): KR 9305749 Y1 930827 <No. of Patents: 001>

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|------------|------|--------|------------|------|----------------|
| KR 9305749 | Y1 | 930827 | KR 91U6671 | U | 910510 (BASIC) |

Priority Data (No,Kind,Date):

KR 91U6671 U 910510

PATENT FAMILY:

KOREA, REPUBLIC (KR)

Patent (No,Kind,Date): KR 9305749 Y1 930827

IN-CIRCUIT EMULATOR SYSTEM (English)

Patent Assignee: GOLD STAR ELECTRONICS (KR)

Author (Inventor): KIM WON-NAM (KR)

Priority (No,Kind,Date): KR 91U6671 U 910510

Applic (No,Kind,Date): KR 91U6671 U 910510

IPC: * G06F-009/455

Language of Document: Korean

Best Available Copy

(19) 대한민국특허청(KR)
(12) 실용신안공보(Y1)

(51) Int. Cl.⁵
G06F 9/455

(45) 공고일자 1993년08월27일
(11) 등록번호 실 1993-0005749
(24) 등록일자

| | | | |
|-------------|-------------------------------------|-----------|----------------|
| (21) 출원번호 | 실 1991-0006671 | (65) 공개번호 | 실 1992-0021966 |
| (22) 출원일자 | 1991년05월10일 | (43) 공개일자 | 1992년12월19일 |
| (73) 실용신안권자 | 금성일렉트론주식회사 문정환 충청북도 청주시 향정동 50번지 | | |
| (72) 고안자 | 김원남 경상북도 구미시 임수동 171 | | |
| (74) 대리인 | 박장원 | | |

심사관 : 김연호 (책
자공보 제1810호)

(54) 인-서킷 에뮬레이터 시스템

요약

내용 없음.

대표도

도1

명세서

[고안의 명칭]

인-서킷 에뮬레이터 시스템

[도면의 간단한 설명]

제1도는 종래의 인-서킷 에뮬레이터 시스템 구성도.

제2도는 본 고안에 따른 인-서킷 에뮬레이터 시스템 구성도.

* 도면의 주요부분에 대한 부호의 설명

| | |
|-------------------|--------------------|
| 11 : 호스트컴퓨터 | 12 : 중앙처리장치 |
| 12-1 : 발진기 | 12-2 : 리세트회로 |
| 13 : 어드레스라치 | 14 : 시스템롬 |
| 15 : 램 | 16 : 어드레스디코더 |
| 17 : 입/출력포트 | 18 : 타겟시스템 |
| 18-1 : 타겟시스템입출력보드 | 18-2 : 타겟시스템드라이버보드 |

[실용신안의 상세한 설명]

본 고안은 인-서킷 에뮬레이터(IN-Circuit Emulator) 시스템에 관한 것으로, 특히 M·D·S(Micro computer Development System)등의 고가장비를 사용하지 않고 간단한 구성으로 간편하게 사용할 수 있게 한 인-서킷 에뮬레이터 시스템에 관한 것이다.

종래의 인-서킷 에뮬레이터 시스템은 제1도에 도시된 바와 같이 호스트컴퓨터(1)와 직렬통신포트(RS-232C)로 인터페이스되는 M·D·S(2)의 디벨로프먼트스테이션(2-1)이 외부메모리(2-2) 및 프로그램메모리(2-3)를 이용해 에뮬레이트 제어하고, 그 M·D·S(2)의 디벨로프먼트스테이션(2-1)과 인터페이스되는 POD(3)가 타겟시스템(4)의 CPU보드(4-1)와 칩어댑터(4-2)를 통해 인터페이스되어 그 타겟시스템(4)의 CPU동작으로 타겟시스템(4)의 입출력보드(4-3), 드라이브보드(4-4), ..., 등을 제어하여 인-서킷 에뮬레이션 동작을 실행하도록 구성된다. 여기서 POD(3)는 타겟 시스템(4)의 CPU동작을 대신 하는 것으로, 그 CPU의 종류에 따라 해당 POD를 사용한다.

이와 같이 구성되는 종래의 인-서킷 에뮬레이터 시스템은 호스트 컴퓨터(1)에 에뮬레이트 프로그램이 저장된후 이 호스트컴퓨터(1)에서 실행파일을 직렬통신포트(RS-232C)를 통해 M·D·S(2)의 디벨로프먼트스테이션(2-1)에 다운로드시키면, 그 디벨로프먼트스테이션(2-1)이 메모리에 저장하고, 저장된 실행파일에 따라 타겟시스템(4)을 실행시키는데, 이때 POD(3)를 이용하여 타겟시스템(4)의 CPU보드(4-1)와 인터

Best Available Copy

페이스 되어 그 POD(3)가 타켓시스템(4)의 CPU를 대신하여 입출력보드(4-3), 드라이브보드(4-4)등과 인터페이스 하면서 실시간 에뮬레이션을 실행한다.

이때, 호스트컴퓨터(1)에서 디버그(DEBUG)기능을 이용하여 브레이크포인트(Breakpoint)설정 및 M·D·S(2)의 레지스터를 어드레스 지정하여 읽어들이므로써, 소프트웨어의 에러를 검출하게 된다.

그러나, 이와 같은 종래의 인-서킷 에뮬레이터 시스템은 전용 마이크로컴퓨터 디벨로프먼트 시스템(M·D·S)이 필요한데, 이 M·D·S의 가격이 고가이고, 시스템구성이 복잡하여 전문가만이 사용할 수 있는 문제점이 있다.

본 고안은 이와 같은 문제점을 감안하여 M·D·S, POD, 타켓시스템의 CPU보드를 사용하지 않고 호스트컴퓨터와 인터페이스하면서 타켓시스템의 입출력보드, 드라이브보드등과 직접 인터페이스하여 에뮬레이션 할 수 있는 인-서킷 에뮬레이터 시스템을 안출한 것으로, 이를 첨부한 도면을 참조해 상세히 설명하면 다음과 같다.

호스트컴퓨터(11)와 직렬통신포트(RS-232C)를 통해 인터페이스하며 다운로드 및 업로딩을 함과 아울러 타켓시스템(18)에 에뮬레이션을 시키는 중앙처리장치(CPU)(12)와, 그 중앙처리장치(12)에 클럭을 발생시켜 입력시키는 발진기(12-1) 및 파워온리세트신호를 발생시켜 입력시키는 리세트회로(12-2)와, 상기 중앙처리장치(12)와 어드레스, 데이터 및 컨트롤버스를 통해 액세스되며 에뮬레이터 시스템 프로그램을 저장하고 있는 시스템롬(14)과, 에뮬레이션 프로그램을 다운로드함과 아울러 데이터를 저장하는 사용자 램(15)과, 어드레스를 래치시키는 어드레스래치(13)와, 타켓시스템(18)에 출력되는 어드레스를 디코딩하는 어드레스디코더(16)와, 사용자램(15)에 저장시킨 에뮬레이션 프로그램에 따른 어드레스, 데이터 및 컨트롤신호를 타켓시스템(18)의 입출력보드(18-1), 드라이브보드(18-2), -, 등에 출력시켜 에뮬레이션 시킬과 아울러 그 타켓시스템(18)의 출력을 받아들이는 입/출력포트(17)로 구성된다.

이와 같이 구성한 본 고안의 작용 및 효과를 설명하면 다음과 같다.

인-서킷 에뮬레이션이란 새로운 프로그램을 설계하였을때 이를 적용시키고자 하는 타켓시스템에 시스템동작 소프트웨어를 실행시켜 보는 것으로, 이때 새로운 소프트웨어에 에러가 있는지를 검출하게 된다.

호스트컴퓨터(11)에 저장하고 있는 새로운 소프트웨어의 실행파일을 인-서킷 에뮬레이터 시스템에 다운로드시킨다. 즉, 호스트컴퓨터(11)가 실행파일을 직렬통신포트(RS-232C)를 통해 다운로드시키면, 인-서킷 에뮬레이터 시스템의 중앙처리장치(12)가 입력받아 어드레스를 지정하면서 사용자 램(15)에 실행파일을 저장시킨다. 이때 시스템롬(14)의 프로그램에 따라 램(15)의 어드레스를 지정하면서 실행파일을 저장시키고, 앤드오브파일이 되면 그 램(15)의 시작번지로 다시 지정하여 실행파일의 처음부터 액세스하면서 입/출력포트(17)를 통해 타켓시스템(18)의 입/출력보드(18-1), 드라이브보드(18-2), -, 등을 직접 인터페이스한다. 이와 같은 과정으로 에뮬레이션을 하면서 호스트컴퓨터(11)측에서 디버그의 각 명령이 직렬통신포트(12)를 통해 입력될때마다 트레이스(TRACE)레지스터 내용을 호스트컴퓨터(11)측에 업-로드 등 각종 명령을 수행시킨다. 이때 디버그기능을 이용해 브레이크포인트 설정 및 램(15)의 액세스 등을 통해 소프트웨어의 에러를 검출할 수 있게 된다.

여기서, 어드레스래치(13)는 16비트의 어드레스 중 하위 8비트 어드레스를 중앙처리장치(12)의 어드레스 래치인에이블신호(ALE)에 따라 래치시켜 시스템롬(14)의 어드레스를 지정하고, 상위 8비트 어드레스는 램(15)의 어드레스를 지정한다. 또한 어드레스디코더(16)는 실행파일에 따라 타켓시스템(18)에 출력되는 어드레스를 디코딩하여 에뮬레이션 제어를 하게된다.

이상에서 설명한 바와 같이 본 고안은 호스트컴퓨터와 인터페이스하여 실행파일의 다운로드 및 업로딩등을 하고, 타켓시스템의 입출력보드, 드라이브보드 등과 직접 인터페이스하면서 에뮬레이션을 시킬 수 있도록 인-서킷 에뮬레이터 시스템을 구성함으로써, 종래에서와 같은 고가의 마이크로컴퓨터 디벨로프먼트 시스템(M·D·S), 인-서킷 에뮬레이션 POD 및 타켓시스템의 CPU보드 등을 사용하지 않고, 본 고안에 따른 인-서킷 에뮬레이터 시스템만으로 호스트 컴퓨터의 실행파일에 대한 타켓시스템의 에뮬레이션을 할 수 있게 되므로 시스템 개발가격을 낮출 수 있고, 간단한 구성이므로 손쉽게 동작시킬 수 있어서 초보자도 단시간에 사용이 간단하며 이에따라 시스템 개발기간 단축 등의 효과가 있다.

(57) 청구의 범위

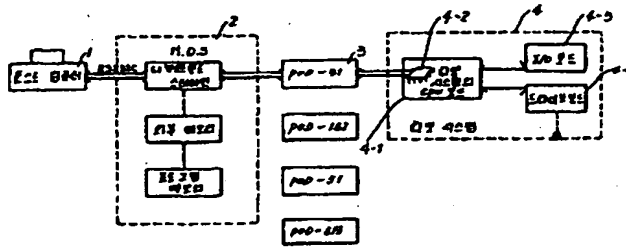
청구항 1

호스트컴퓨터(11)와 직렬통신포트(RS-232C)를 통해 인터페이스하며 실행파일의 다운로드 및 업로딩함과 아울러 그 실행파일에 따른 타켓시스템(18)의 에뮬레이션 제어를 하는 중앙처리장치(12)와, 에뮬레이션 시스템 프로그램롬(14)과, 실행파일을 저장함과 아울러 에뮬레이션 데이터를 저장하는 램(15)과, 에뮬레이션 시스템 어드레스를 래치하는 어드레스래치(13)와, 어드레스를 디코딩하여 에뮬레이션 제어신호를 발생하는 어드레스디코더(16)와, 그 어드레스디코더(16)의 출력, 어드레스버스, 데이터버스 및 컨트롤버스와 연결되어 타켓시스템(18)의 입출력보드(18-1), 드라이브보드(18-2)등과 직접 입출력인터페이스하는 입/출력포트(17)로 구성하여 상기 호스트컴퓨터(11)의 실행파일을 저장 후 그 실행파일에 따라 상기 타켓시스템(18)의 입출력보드(18-1), 드라이브보드(18-2), -, 등을 직접 에뮬레이션시키도록 구성한 것을 특징으로 하는 인-서킷 에뮬레이터 시스템.

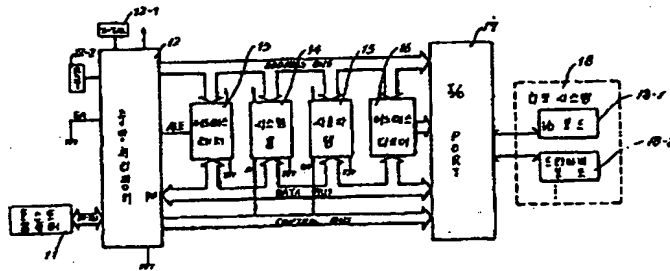
도면

Best Available Copy

도면1



도면2



Best Available Copy